(19)日本国特許庁（ＪＰ）　(12) **公開特許公報（Ａ）**　(11)特許出願公開番号

特開平11－26758

(43)公開日　平成11年(1999)１月29日

(51)Int.Cl.[6]	識別記号	ＦＩ	
Ｈ０１Ｌ　29/78		Ｈ０１Ｌ　29/78	６５３Ｃ
			６５２Ｋ

審査請求　未請求　請求項の数５　ＯＬ　（全７頁）

(21)出願番号　特願平9－177885

(22)出願日　平成９年(1997)７月３日

(71)出願人　000005234
富士電機株式会社
神奈川県川崎市川崎区田辺新田１番１号

(72)発明者　西村　武義
神奈川県川崎市川崎区田辺新田１番１号
富士電機株式会社内

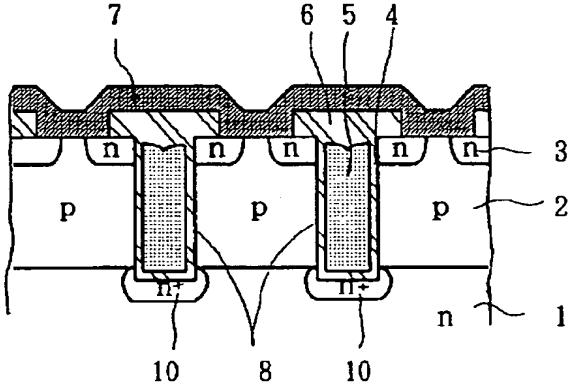
(74)代理人　弁理士　篠部　正治

(54)【発明の名称】　トレンチ型ＭＯＳ半導体装置およびその製造方法

(57)【要約】　（修正有）

【課題】トレンチ内に設けられたＭＯＳ構造のゲートを有するトレンチ型ＭＯＳ半導体装置において、耐圧の向上とオン抵抗の低減を図り、しかも実施が容易な製造方法を提供する。

【解決手段】ｐチャネル領域２の表面層に形成されたｎソース領域３の表面からｐチャネル領域２を貫通してｎドレイン層１に達するトレンチ８が形成され、ゲート絶縁膜４を挟んで多結晶シリコンからなるゲート電極層５が充填されている。トレンチ８の底面部分にｎ不純物のイオン注入および熱処理によって、ｎドレイン層１より不純物濃度の高いｎ$^+$ウェル領域１０を設ける。これによって、トレンチの深さとｐチャネル領域２の深さとの差ｘを小さい値としても従来のようなオン抵抗の増大が無いため、オン抵抗が安定し、耐圧を高く保てるようになる。



1 ｎドレイン層　6 絶縁膜

2 ｐチャネル領域　7 ソース電極

3 ｎソース領域　8 トレンチ

4 ゲート酸化膜　10 ｎ$^+$ ウェル領域

5 ゲート電極層

1

【特許請求の範囲】

【請求項１】第一導電型ドレイン層と、その第一導電型ドレイン層上に設けられた第二導電型チャネル領域と、第二導電型チャネル領域の表面層に形成された第一導電型ソース領域と、その第一導電型ソース領域の表面から第二導電型チャネル領域を貫通し第一導電型ドレイン層に達するトレンチと、トレンチ内にゲート絶縁膜を介して設けられたゲート電極層と、第一導電型ソース領域と第二導電型チャネル領域との表面に共通に接触して設けられたソース電極と、第一導電型ドレイン層に接触して設けられたドレイン電極とからなるトレンチ型ＭＯＳ半導体装置において、トレンチの底部に第一導電型ドレイン層より高濃度の第一導電型ウェル領域を有することを特徴とするトレンチ型ＭＯＳ半導体装置。

【請求項２】第一導電型ドレイン層と、その第一導電型ドレイン層上に設けられた第二導電型チャネル領域と、第二導電型チャネル領域の表面層に形成された第一導電型ソース領域と、その第一導電型ソース領域の表面から第一導電型ドレイン層に近い部分まで第二導電型チャネル領域を掘り下げたトレンチと、トレンチ内にゲート絶縁膜を介して設けられたゲート電極層と、第一導電型ソース領域と第二導電型チャネル領域との表面に共通に接触して設けられたソース電極と、第一導電型ドレイン層に接触して設けられたドレイン電極とからなるトレンチ型ＭＯＳ半導体装置において、トレンチの底部に第一導電型ドレイン層より高濃度で、第一導電型ドレイン層に達する第一導電型ウェル領域を有することを特徴とするトレンチ型ＭＯＳ半導体装置。

【請求項３】第一導電型ドレイン層と、その第一導電型ドレイン層上に設けられた第二導電型チャネル領域と、第二導電型チャネル領域の表面層に形成された第一導電型ソース領域と、その第一導電型ソース領域の表面から第二導電型チャネル領域を貫通し第一導電型ドレイン層に達するトレンチと、トレンチ内にゲート絶縁膜を介して設けられたゲート電極層と、第一導電型ソース領域と第二導電型チャネル領域との表面に共通に接触して設けられたソース電極と、第一導電型ドレイン層に接触して設けられたドレイン電極とからなるトレンチ型ＭＯＳ半導体装置の製造方法において、第一導電型の不純物のイオン注入および熱処理により、トレンチの底部に第一導電型ウェル領域を形成することを特徴とするトレンチ型ＭＯＳ半導体装置の製造方法。

【請求項４】第一導電型ドレイン層と、その第一導電型ドレイン層上に設けられた第二導電型チャネル領域と、第二導電型チャネル領域の表面層に形成された第一導電型ソース領域と、その第一導電型ソース領域の表面から第一導電型ドレイン層に近い部分まで第二導電型チャネル領域を掘り下げたトレンチと、トレンチ内にゲート絶縁膜を介して設けられたゲート電極層と、第一導電型ソース領域と第二導電型チャネル領域との表面に共通に接

2

触して設けられたソース電極と、第一導電型ドレイン層に接触して設けられたドレイン電極とからなるトレンチ型ＭＯＳ半導体装置の製造方法において、第一導電型の不純物のイオン注入および熱処理により、トレンチの底部に第一導電型ドレイン層に達する第一導電型ウェル領域を形成することを特徴とするトレンチ型ＭＯＳ半導体装置の製造方法。

【請求項５】トレンチ形成用の絶縁膜マスクを、トレンチ形成後に後退エッチングさせた後、第一導電型不純物濃度のイオン注入および熱処理により、第一導電型ソース領域と第一導電型ウェル領域とを同時に形成することを特徴とする請求項３または４に記載のトレンチ型ＭＯＳ半導体装置の製造方法。

【発明の詳細な説明】

【０００１】

【発明の属する技術分野】本発明は、トレンチ内に絶縁膜を介して埋め込まれた制御用のゲート電極層を有する、ＭＯＳＦＥＴ（金属－酸化膜－半導体構造のゲート電極を有する電界効果トランジスタ）、ＩＧＢＴ（絶縁ゲートバイポーラトランジスタ）、絶縁ゲートサイリスタ、およびそれらの集合体であるインテリジェントパワーモジュール（ＩＰＭ）などのトレンチ型ＭＯＳ半導体装置に関する。

【０００２】

【従来の技術】図６は、従来のトレンチ構造を有するＭＯＳ半導体装置の一例であるＭＯＳＦＥＴの主要部の部分断面図である。半導体基板であるｎドレイン層１の表面層にｐチャネル領域２が形成され、そのｐチャネル領域２の表面層にｎソース領域３が形成されている。ｎソース領域３の表面からｐチャネル領域２を貫通してｎドレイン層１に達するトレンチ８が形成され、そのトレンチ８の内部には、ゲート酸化膜４を挟んで多結晶シリコンからなるゲート電極層５が充填されている。ｎソース領域３の表面上には、ｐチャネル領域２の表面に共通に接触するソース電極７が、またｎドレイン層１の他面にはドレイン電極９が設けられている。６はゲート電極層５を覆う絶縁膜である。ｎドレイン層１を不純物濃度の異なる二層とすることもある。

【０００３】ゲート電極層５に接触して設けられた図示されないゲート電極に適当な電圧を印加することにより、トレンチ８の内壁に沿ったｐチャネル領域２の表面層に反転層（チャネル）を生じ、ドレイン電極９とソース電極７間が導通して電流が流れる。

【０００４】

【発明が解決しようとする課題】図６において、トレンチ構造を有するＭＯＳ型半導体装置を動作させるには、ｎソース領域３と、ｐチャネル領域２を貫通してｎドレイン層１に達するトレンチ８を掘り、そのトレンチ８にゲート酸化膜４を介してゲート電極層５を充填しなければならない。もし、トレンチ８の深さが、ｐチャネル領

域２より浅い場合にはｐチャネル領域２中に反転層が形成されない部分ができ、電流通路が形成されないので、動作しない。従って、トレンチ８の深さとｐチャネル領域２の深さとの間には差ｘが必要である。

【０００５】図７は、耐圧における上記の差ｘ依存性を示す特性図である。横軸は、トレンチ８の深さとｐチャネル領域２の深さとの差ｘ、縦軸は耐圧である。差ｘを大きくすると、耐圧が低下していることがわかる。高耐圧を達成するには、差ｘを小さい値に抑えなければならない。一方でこの差ｘを小さくすると、オン抵抗が増大するという不具合が生じた。これは、差ｘが小さいと、ゲート電極に電圧を印加した際に、トレンチ１０の底部に十分な反転層が形成されず、チャネル抵抗が増すためと考えられる。

【０００６】従って、耐圧が高く、オン抵抗の小さいＭＯＳＦＥＴとするためには、トレンチ深さとチャネル領域の差ｘを、非常に狭い範囲で制御しなければならないことになり、製造が困難である。またもし、この差ｘにばらつきがあると、耐圧や、オン抵抗がばらつくことになる。実際に、オン抵抗のバラツキが同一ロット内で２０～３０％になることがあった。そしてこの問題は、トレンチ型ＭＯＳＦＥＴに限らず、ＭＯＳ構造のゲートをもつトレンチ型半導体装置に共通の問題である。

【０００７】以上の問題に鑑み本発明の目的は、耐圧が高く、オン抵抗が小さく、しかも製造が容易なトレンチ構造を有するトレンチ型ＭＯＳ半導体装置およびその製造方法を提供することにある。

【０００８】

【課題を解決するための手段】前記の課題を解決するため本発明は、第一導電型ドレイン層と、その第一導電型ドレイン層上に設けられた第二導電型チャネル領域と、第二導電型チャネル領域の表面層に形成された第一導電型ソース領域と、その第一導電型ソース領域の表面から第二導電型チャネル領域を貫通し第一導電型ドレイン層に達するトレンチと、トレンチ内にゲート絶縁膜を介して設けられたゲート電極層と、第一導電型ソース領域と第二導電型チャネル領域との表面に共通に接触して設けられたソース電極と、第一導電型ドレイン層に接触して設けられたドレイン電極とからなるトレンチ型ＭＯＳ半導体装置において、トレンチの底部に第一導電型ドレイン層より高濃度の第一導電型ウェル領域を有するものとする。

【０００９】そのようにすれば、トレンチ深さとチャネル領域深さとの差ｘが小さくても、低抵抗の第一導電型ウェル領域が反転層の働きをするため、オン抵抗の増大が抑えられることになる。また、トレンチ深さとチャネル領域深さとの差ｘの許容範囲が広くなる。第一導電型ソース領域の表面から第一導電型ドレイン層に近い部分まで第二導電型チャネル領域を掘り下げたトレンチを有するトレンチ型ＭＯＳ半導体装置においては、トレンチ

の底部に第一導電型ドレイン層より高濃度で、第一導電型ドレイン層に達する第一導電型ウェル領域を有するものとする。

【００１０】そのようにすれば、ＭＯＳ型半導体装置として動作可能となり、低抵抗の第一導電型ウェル領域が反転層の働きをするため、オン抵抗の増大が抑えられる。また、トレンチ深さとチャネル領域深さとの差ｘの許容範囲が一層広くなる。上記のようなトレンチ型ＭＯＳ半導体装置の製造方法としては、第一導電型の不純物のイオン注入および熱処理により、トレンチの底部に第一導電型ウェル領域を形成するものとする。

【００１１】そのようにすれば、注入角の浅いイオン注入とすれば、トレンチの側面には殆どイオンが注入されない。そして、かりにトレンチの側面に注入されたとしても、深さが浅いので、表面層の僅かな量のエッチングで除去できる。トレンチの底部には、ほぼ垂直に注入されるので、深く注入される。特に、トレンチ形成用の絶縁膜マスクを、トレンチ形成後に後退エッチングさせ、第一導電型不純物のイオン注入および熱処理により、第一導電型ソース領域と第一導電型ウェル領域とを同時に形成するものとする。

【００１２】そのようにすれば、第一導電型ソース領域と第一導電型ウェル領域とを同時に形成できるので、フォトリソグラフィ工程を別々に行う必要が無く、工程が短縮できる。

【００１３】

【発明の実施の形態】以下、実施例にもとづき、図を参照しながら本発明の実施の形態を説明する。なお、ｎ、ｐを冠した領域、層等はそれぞれ電子、正孔を多数キャリアとする領域、層を意味するものとし、第一導電型をｎ型、第二導電型をｐ型とした例を示すが、これを逆にすることもできる。

【００１４】［実施例１］図１は、本発明第一の実施例のＭＯＳＦＥＴの主要部の上層部分の部分断面図である。図に示した主要部以外に、主に周縁領域に耐圧を分担する部分があるが、本発明の本質に係る部分でないので、省略している。エピタキシャルウェハの成長層であるｎドレイン層１の表面層にｐチャネル領域２が形成され、そのｐチャネル領域２の表面層にｎソース領域３が形成されている。ｎソース領域３の表面からｐチャネル領域２を貫通してｎドレイン層１に達するトレンチ８が形成され、そのトレンチ８の内部には、ゲート酸化膜４を挟んで多結晶シリコンからなるゲート電極層５が充填されている。ｎソース領域３の表面上には、ｐチャネル領域２の表面に共通に接触するソース電極７が設けられている。この例では、絶縁膜６の上にソース電極７が延長されているが、必ずこのようにしなければならないわけではない。この実施例１のＭＯＳＦＥＴが、従来のトレンチ型ＭＯＳＦＥＴと異なっている点は、トレンチ８の底面部分にｎドレイン層１より不純物濃度の高いｎ+

5

ウェル領域１０が設けられている点である。ｎドレイン層１の裏面には、図示されていない低抵抗のサブストレートとその裏面に設けられたドレイン電極がある。また、ゲート電極層５に接触する金属のゲート電極も図示されていない。

【００１５】図３（ａ）～（ｅ）は、図１のＭＯＳＦＥＴの製造方法を示す主な製造工程ごとの断面図である。エピタキシャルウェハの成長層であるｎドレイン層１の表面層にほう素イオン、次いでひ素イオンの注入、熱処理によりｐチャネル領域２、およびｎソース領域３を形成し、更に表面にトレンチ形成のため酸化膜１１を形成し、フォトリソグラフィにより、パターニングする［図３（ａ）］。例えば、エピタキシャルウェハのサブストレートは、４ｍΩ・ｃｍで、厚さ３５０μｍ、ｎドレイン層は０．５５Ω・ｃｍで、厚さ１０μｍである。ｐチャネル領域２、ｎソース領域３の深さは、それぞれ２．５μｍ、０．６μｍである。

【００１６】酸化膜１１のパターンをマスクとして、ＨＢｒガスを用いたドライエッチングによりトレンチ８を形成する［同図（ｂ）］。このときトレンチ８の深さは、ｐチャネル領域２の拡散深さより少し深くする。トレンチの寸法は、例えば、幅１μｍ、深さ２．７μｍ、間隔３．５μｍである。すなわち、トレンチ８の深さとｐチャネル領域２の拡散深さとの差ｘは約０．２μｍとなる。

【００１７】トレンチ形成用の酸化膜１１をそのまま使用し、燐イオン１２を注入する［同図（ｃ）］。イオン注入の条件は、加速電圧１５０ｋＶ、ドーズ量を１×１０^{13}／ｃｍ^{2}とし、注入角は０°とする。注入角の浅いイオン注入とすれば、トレンチの側面には殆どイオンが注入されない。仮にトレンチの側面に注入されたとしても、深さが浅いので、表面層の僅かな量のエッチングで除去できる。トレンチの底部には、ほぼ垂直に注入されるので、深く注入される。１３はイオン注入領域である。

【００１８】酸化膜１１を除去した後、熱酸化により、トレンチ内面に厚さ１００ｎｍのゲート酸化膜４を形成する。（１０５０℃、６０分）この熱処理により、トレンチ８底部に注入された燐イオンが活性化され、拡散深さ０．５μｍのｎ$^{+}$ウェル領域１０が形成される［同図（ｄ）］。減圧ＣＶＤにより、トレンチ８内にゲート電極層５となる多結晶シリコンを埋め込み、余分な多結晶シリコンをエッチングした後、ＣＶＤによりほうけい酸ガラス（ＢＰＳＧ）の絶縁膜６を堆積し、フォトリソグラフィにより、パターニングし、更にスパッタリングによりソース電極７となるアルミニウム合金層を堆積し、パターニングする［同図（ｅ）］。図示していないが、ｎドレイン層１の裏面側にＴｉ、Ｎｉ、Ａｕの酸化膜層を蒸着してドレイン電極とする。

【００１９】このように、トレンチ８の底部にｎドレイン層１より抵抗率の低いｎ$^{+}$ウェル領域１０を設けることにより、ウェハ内でのオン抵抗のバラツキは大幅に改善され、５％以内となり、特性が安定した。また、オン抵抗の増大の問題が解決されるため、トレンチの深さは浅めの０．１～０．５μｍの間に制御すればよいことになり、耐圧を高くできる。そして、トレンチ深さの許容範囲が広くなって、製造が容易になった。

【００２０】［実施例２］図４（ａ）～（ｅ）は、図１のＭＯＳＦＥＴの別の製造方法を示す主な製造工程ごとの断面図である。半導体基板であるｎドレイン層１の表面層にほう素イオンの注入、熱処理によりｐチャネル領域２を形成し、更に表面にトレンチ形成のため酸化膜１１を形成し、フォトリソグラフィにより、パターニングする［図４（ａ）］。

【００２１】酸化膜１１のパターンをマスクとして、ドライエッチングによりトレンチ８を形成する［同図（ｂ）］。ウェットエッチングでトレンチ形成マスクとして使用した酸化膜１１のパターンを後退エッチングし、トレンチ８の開口付近のｐチャネル領域２の表面を露出させた後、ひ素イオンを注入する［同図（ｃ）］。１３はひ素イオン注入領域である。トレンチ８の底部だけでなく、開口部の近傍にもイオン注入され、ソース領域３形成のためのイオン注入となる。従ってこのイオン注入のドーズ量は、実施例１より多く、５×１０^{13}／ｃｍ^{2}程度とするのがよい。

【００２２】酸化膜１１を除去した後、熱酸化により、トレンチ内部にゲート酸化膜４を形成する。このとき、熱処理により、ｐチャネル領域２の表面層およびトレンチ８底部に注入されたひ素イオンが活性化され、ｎソース領域３、ｎ$^{+}$ウェル領域１０が形成される［同図（ｄ）］。この後、実施例１と同様にして、トレンチ８内にゲート電極層５となる多結晶シリコンを埋め込み、余分な多結晶シリコンをエッチングした後、ＣＶＤにより絶縁膜６を堆積し、フォトリソグラフィにより、パターニングし、更にスパッタリングによりソース電極７となるアルミニウム合金層を堆積し、パターニングする［同図（ｅ）］。

【００２３】このような方法をとれば、ｎ$^{+}$ウェル領域１０を形成するためのイオン注入を特別に行う必要がなく、実施例１の製造方法より工程が短縮できる。

［実施例３］図２は、本発明第二の実施例のＭＯＳＦＥＴのセル断面図である。この例は、ｎソース領域３の表面からトレンチ８が形成され、そのトレンチ８の底部にｎ$^{+}$ウェル領域１０が形成されているのは、図１の実施例１と同様であるが、トレンチ８の深さがｐチャネル領域２の拡散深さより浅い点が異なっている。ただし、トレンチ８の底部に形成されたｎ$^{+}$ウェル領域１０が、ｎドレイン層１に達している。

【００２４】図５（ａ）～（ｅ）は、図２のＭＯＳＦＥＴの製造方法を示す主な製造工程ごとの断面図である。

7

半導体基板であるｎドレイン層１の表面層にほう素イオン、次いでひ素イオンの注入、熱処理によりｐチャネル領域２、およびｎソース領域３を形成し、更に表面にトレンチ形成のため酸化膜１１を形成し、フォトリソグラフィにより、パターニングする［図５（ａ）］。

【００２５】酸化膜１１のパターンをマスクとして、ドライエッチングによりトレンチ８を形成する［同図（ｂ）］。このときトレンチ８の深さは、ｐチャネル領域２の拡散深さより少し浅くする。トレンチ形成用の酸化膜１１をそのままマスクとして使用し、燐イオンを注入する［同図（ｃ）］。この時注入角は０°とする。１３はイオン注入領域である。

【００２６】酸化膜１１を除去した後、熱酸化により、トレンチ内部にゲート酸化膜４を形成する。このとき、熱処理により、トレンチ８底部に注入された燐イオンが活性化され、ｎドレイン層１に接するｎ+ ウェル領域１０が形成される［同図（ｄ）］。減圧ＣＶＤにより、トレンチ８内にゲート電極層５となる多結晶シリコンを埋め込み、余分な多結晶シリコンをエッチングした後、ＣＶＤにより絶縁膜６を堆積し、フォトリソグラフィにより、パターニングし、更にスパッタリングによりソース電極７となるアルミニウム合金層を堆積し、パターニングする［同図（ｅ）］。

【００２７】この場合、従来なら、反転層が形成されないためＭＯＳ半導体装置は動作しないが、本実施例のようにトレンチ８の底部にｎドレイン層１より抵抗率の低いｎ+ ウェル領域１０を設けることにより、トレンチ８の深さがｐチャネル領域の拡散深さより浅い場合でも、反転層がｎソース領域３からｎドレイン層１までつながり、動作可能となる。

【００２８】このようにすることにより、ウェハ内でのオン抵抗のバラツキ等が大幅に改善され、また、トレンチ深さの許容範囲が広くなり、製造が容易になった。

【００２９】

【発明の効果】以上説明したように本発明によれば、トレンチ内にゲート絶縁膜を介してゲート電極層が設けられたトレンチ型ＭＯＳ半導体装置において、トレンチの底部に高濃度の第一導電型ウェル領域を設けることによって、オン抵抗が安定し、トレンチの深さと第二導電型チャネル領域の深さとの差ｘを小さい値としても従来のようなオン抵抗の増大が無いため、耐圧を高く保てるよ*

8

*うになる。また差ｘの許容範囲が広くなり、製造が容易になる。

【００３０】トレンチ深さが第二導電型チャネル領域より浅い場合でも、第一導電型ドレイン層に達する第一導電型ウェル領域を設けることによって、トレンチ型ＭＯＳ半導体装置が動作させられることから、ｘの許容範囲は更に広くなり、結晶の実力に近い耐圧を引き出すことができるため、耐圧が向上する。本発明の様なトレンチ型ＭＯＳ半導体装置の製造方法としては、第一導電型不純物のイオン注入および熱処理により第一導電型ウェル領域を形成するとよい。また、トレンチ形成後、その形成に用いた絶縁膜パターンを後退エッチングさせることにより、イオン注入および熱処理を同時におこない、工程を短縮できることを示した。

【図面の簡単な説明】

【図１】本発明実施例１のＭＯＳＦＥＴの部分断面図

【図２】本発明実施例２のＭＯＳＦＥＴの部分断面図

【図３】（ａ）～（ｅ）は図１の実施例１のＭＯＳＦＥＴの製造工程順の断面図

【図４】（ａ）～（ｅ）は図１の実施例１のＭＯＳＦＥＴの別の製造方法による製造工程順の断面図

【図５】（ａ）～（ｅ）は図２の実施例２のＭＯＳＦＥＴの製造工程順の断面図

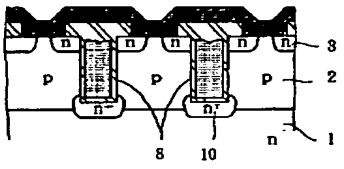
【図６】従来のＭＯＳＦＥＴの部分断面図

【図７】トレンチ深さとｐチャネル領域の拡散深さとの差ｘによる耐圧の変化を示す特性図

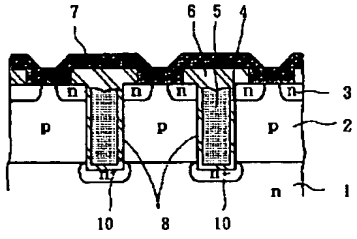
【符号の説明】

１	ｎドレイン層
２	ｐチャネル領域
３	ｎソース領域
４	ゲート酸化膜
５	ゲート電極層
６	絶縁膜（ＢＰＳＧ）
７	ソース電極
８	トレンチ
９	ドレイン電極
１０	ｎ+ ウェル領域
１１	酸化膜
１２	燐イオン
１３	イオン注入領域

【図２】

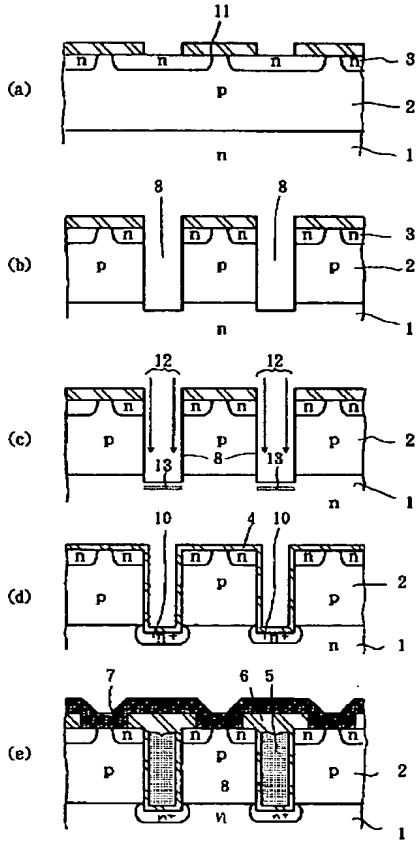


【図１】

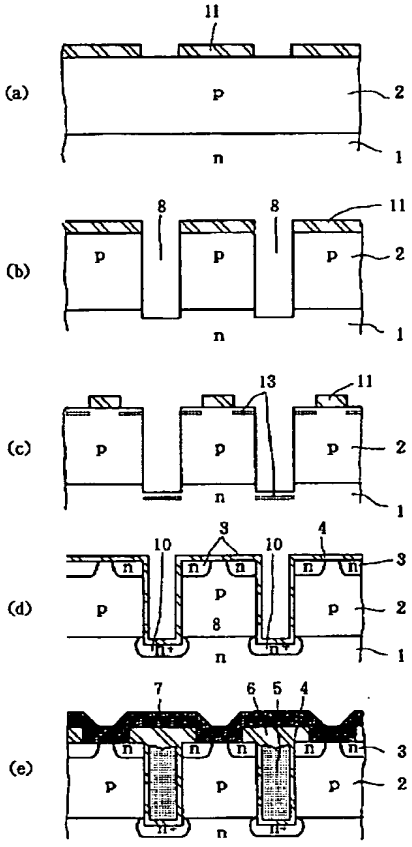


1 nドレイン層　　6 絶縁膜
2 pチャネル領域　　7 ソース電極
3 nソース領域　　8 トレンチ
4 ゲート酸化膜　　10 n⁺ ウェル領域
5 ゲート電極層

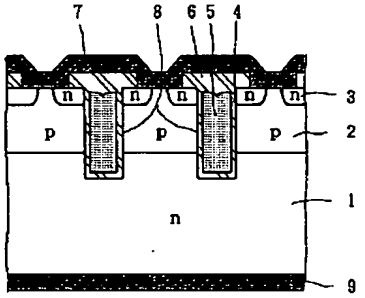
【図３】



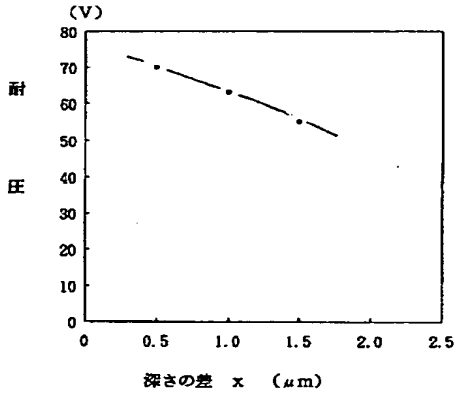
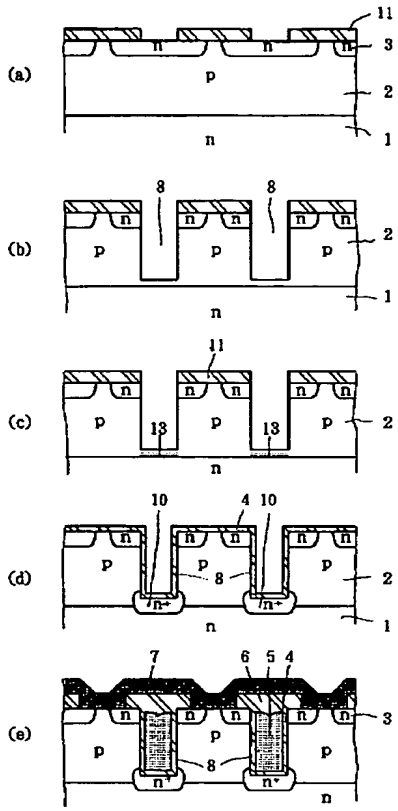
【図４】



【図６】



【図７】



【図５】